

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 5 5 0 3 6

(43) 公開日 平成 1 1 年 (1 9 9 9) 2 月 2 6 日

(51) Int. Cl.
H03B 28/00
21/00

識別記号 庁内整理番号

F I
H03B 28/00
21/00

技術表示箇所

B

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平 9 - 2 0 9 2 3 1

(22) 出願日 平成 9 年 (1 9 9 7) 8 月 4 日

(71) 出願人 0 0 0 0 0 1 1 2 2

国際電気株式会社

東京都中野区東中野三丁目 1 4 番 2 0 号

(72) 発明者 高橋 一志

東京都中野区東中野三丁目 1 4 番 2 0 号

国際電気株式会社内

(74) 代理人 弁理士 秋本 正実

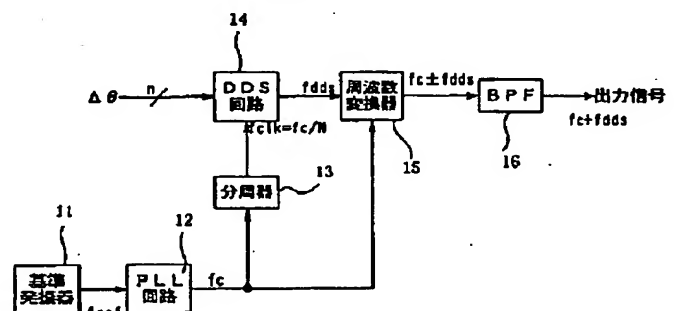
(54) 【発明の名称】 周波数発生回路

(57) 【要約】

【課題】 周波数発生回路のハード規模を縮小し、高い周波数を高安定、高精度に発生することのできる周波数発生回路を提供することにある。

【解決手段】 基準発振器 11 から PLL 回路 12 に f_{ref} [Hz] の周波数が入力される。この基準クロックに PLL 同期された周波数 f_c [Hz] が周波数変換器 15 に入力される。一方、PLL 回路 12 から出力された f_c [Hz] の信号は分周器 13 により DDS 回路 14 が動作可能な周波数 f_{clk} [Hz] に分周され、DDS 回路 14 に入力される。DDS 回路 14 に設定される $\Delta\theta$ により f_{dds} [Hz] の周波数が出力され、周波数変換器 15 にて周波数混合され出力周波数は、 f_{out} [Hz] = $f_c \pm f_{dds}$ となり BPF 16 により $f_c - f_{dds}$ 成分が除去されたのち、 $f_c + f_{dds}$ [Hz] の信号が出力される。

【図 1】



【特許請求の範囲】

【請求項 1】 デジタル変調信号の搬送波周波数を生成する周波数発生回路において、基準発振器の周波数に同期した PLL 回路と、該 PLL 回路の周波数を分周した信号を動作クロック信号とする DDS 回路と、該 DDS 回路の正弦波と上記 PLL 回路の出力信号とを周波数混合する手段とを備えたことを特徴とする周波数発生回路。

【請求項 2】 デジタル変調信号の搬送波周波数を生成する周波数発生回路において、基準発振器の周波数に PLL 同期する PLL 回路と、該 PLL 回路の出力信号を分周する分周器と、該分周器からの信号を動作クロック信号とする DDS 回路と、該 DDS 回路からの正弦波出力と上記 PLL 回路からの出力信号とを周波数混合する周波数変換器と、該周波数変換器のイメージ成分を除去する BPF とを備えたことを特徴とする周波数発生回路。

【請求項 3】 上記周波数混合手段として、上記 DDS 回路から得られる正弦波と余弦波とを用いて、上記 PLL 回路からの信号を直交変調することにより周波数混合を行う直交変調器を設けたことを特徴とする請求項 1 又は 2 記載の周波数発生回路。

【請求項 4】 デジタル変調信号の搬送波周波数を生成する周波数発生回路において、請求項 1 乃至 3 のいずれかに記載の周波数発生回路を複数個設け、該各周波数発生回路に一つの基準発振器の出力が並列に入力するように設けたことを特徴とする周波数発生回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は、無線機に用いられる周波数発生回路の改良に関するものである。

【 0 0 0 2 】

【従来の技術】 通常のデジタル無線機には、変調信号の搬送波周波数を生成するために基準発振器の周波数を基準とした周波数発生回路が設けられている。この周波数発生回路は通常 PLL (Phase Locked Loop) 回路を用いて構成されるが、周波数を数百 ns 以下の高速に切り替えたり、発生する周波数のステップを数 Hz ～数十 Hz 間隔に設定するような用途では、PLL 回路はその過渡応答速度に限界があるため使用できない。このため高速の応答が必要な周波数発生には、一般に DDS (Direct Digital Synthesizer) 回路が使用される。図 4 に DDS 回路の基本構成図を示す、まず、周波数設定のための位相ステップ情報 $\Delta\theta$ を位相アキュムレータ 41 に設定することにより 0 から 2π までのデジタル鋸波を生成させ、その信号で正弦波形をデータとして記入したメモリからなるテーブル 42 をアドレスすることにより、デジタル数値で表現された正弦波が得られる。この信号を DA 変換器 43 でアナログ信号に変換し、LPF 44 で

DDS に入力されている基準クロック周波数成分を除去することにより、出力信号が得られる。ここで、 $\Delta\theta$ が n ビットの語長を有する DDS を用いた場合の信号出力周波数 f_{dds} は数 1 で与えられる。

【 0 0 0 3 】

【数 1】

$$f_{dds} = \frac{\Delta\theta}{2^n} \cdot f_{clk} \quad (f_{clk}: \text{基準クロック周波数})$$

10 【 0 0 0 4 】 例として $n=32$, $f_{clk}=80\text{MHz}$, $f_{dds}=10\text{MHz}$ とすると、数 2 から、

【 0 0 0 5 】

【数 2】

$$\Delta\theta = \frac{f_{dds}}{f_{clk}} \cdot 2^n$$

【 0 0 0 6 】 $\Delta\theta$ には 536870912 を設定すればよいことになる (16 進では 20000000H を設定する)。しかし、DDS の再生可能周波数はナイキスト定理によれば、基準クロック周波数の 1/2 以下の信号しか発生できないため、周波数レンジの上限は DDS のデバイスの最大クロックレートで決まることになる。したがって、DDS からの出力信号よりも更に高い周波数が必要になる場合は、DDS 回路の後に周波数逡倍回路や、PLL 回路を接続することになる。

【 0 0 0 7 】 図 5 は従来の DDS 回路 52 の後に逡倍回路 53 を設けたデジタル無線機周波数発生回路であり、図 6 は DDS 回路 52 の後に PLL 回路 61 を設けたものである。

【 0 0 0 8 】

【発明が解決しようとする課題】 図 5 の DDS 回路 52 の出力に逡倍回路 53 を設けた場合、DDS 回路 52 の動作基準クロック f_{clk} [Hz] となる局部発振器 51 の信号が DDS 回路 52 に入力され、周波数設定のための位相ステップ情報 $\Delta\theta$ を設定することにより、 f_{dds} [Hz] の周波数が DDS 回路 52 より出力される。DDS 回路 52 からの信号は逡倍回路 53 で周波数逡倍されて出力される。しかし、この逡倍回路 53 を用いた場合は、出力する周波数が f_{dds} [Hz] の整数倍の出力が可能であるが、数百 MHz の信号を取り出そうとすると、 f_{dds} を複数回逡倍しなければならず逡倍回路 53 が複数必要となり、逡倍回路の欠点であるスプリアスが発生する。このスプリアスを除去するためにはフィルタを挿入しなければならないので、回路規模が増大してしまう。

【 0 0 0 9 】 図 6 の DDS 回路 52 の出力に逡倍回路の代わりに PLL 回路 61 を設けた場合、DDS 回路 52 の動作基準クロック f_{clk} [Hz] となる局部発振器 51 の信号が DDS 回路 52 に入力され、周波数設定のための位相ステップ情報 $\Delta\theta$ を設定することにより、f

3

dds [Hz] の周波数が DDS 回路 5 2 より出力される。DDS 回路 5 2 からの信号は PLL 回路 6 1 の基準クロックとなり、そのクロックを基に PLL 同期した信号が PLL 回路 6 1 より出力される。通常の PLL 回路では PLL 回路の出力信号をプログラマブルデバイダで周波数を $1/N$ に分周して、その信号と基準クロックとの位相比較を行い PLL 同期を行う。この構成では先に述べた通倍回路ほどスプリアスは発生しないが、PLL 回路 6 1 はその構成上フィードバックループを含んでいるために、引き込み範囲で入力周波数が変化した場合の過渡応答に制約が出てくる等の問題が生じるので、DDS 回路 5 2 の高速な周波数切替の利点を生かすことができない。

【0010】本発明の目的は、上記従来の構成における問題を解決し、周波数発生回路のハード規模を縮小し、高い周波数を高安定、高精度に発生することのできる周波数発生回路を提供することにある。

【0011】

【課題を解決するための手段】上記の目的は、基準発振器の周波数に同期した PLL 回路と、該 PLL 回路の周波数を分周した信号を動作クロック信号とする DDS 回路と、該 DDS 回路の正弦波と上記 PLL 回路の出力信号とを周波数混合する手段とを備えたことによって達成される。

【0012】また、上記の目的は、基準発振器の周波数に PLL 同期する PLL 回路と、該 PLL 回路の出力信号を分周する分周器と、該分周器からの信号を動作クロック信号とする DDS 回路と、該 DDS 回路からの正弦波出力と上記 PLL 回路からの出力信号とを周波数混合する周波数変換器と、該周波数変換器のイメージ成分を除去する BPF とを備えたことによって達成される。

【0013】更に、上記の目的は、上記周波数混合手段として、上記 DDS 回路から得られる正弦波と余弦波とを用いて、上記 PLL 回路からの信号を直交変調することにより周波数混合を行なう直交変調器を設けたことによって達成される。

【0014】また、上記の目的は、上記構成の周波数発生回路を複数個設け、該各周波数発生回路に一つの基準発振器の出力が並列に入力するように設けたことによって達成される。

【0015】上記の手段によると、PLL 回路から、入力される基準発振器の周波数に位相同期して出力される周波数の信号を、DDS 回路が動作可能な周波数に分周して DDS 回路の基準クロックとすると共に、上記 PLL 回路の出力と上記 DDS 回路の動作により発生する出

$$\begin{aligned} & \cos(2\pi \cdot fc \cdot t) \cos(2\pi \cdot fdds \cdot t) + \sin(2\pi \cdot fc \cdot t) \sin(2\pi \cdot fdds \cdot t) \\ & = \cos 2\pi (fc + fdds) t \end{aligned}$$

【0020】周波数変換器を用いたときと同様の信号が出力される。この実施形態の場合は周波数混合した後に

4

力とで周波数混合を行なって所要の周波数を発生する。これによる周波数の切替は DDS による開ループ構成で行なうので極めて高速であり、高精度に高い周波数を発生できる。

【0016】

【発明の実施の形態】以下、本発明の実施形態を図面により説明する。

【0017】図 1 は、本発明の一実施形態の周波数発生回路のブロック図である。基準発振器 1 1 から PLL 回路 1 2 に f_{ref} [Hz] の周波数が入力される。この基準クロックに PLL 同期された周波数 f_c [Hz] が周波数変換器 1 5 に入力される。一方、PLL 回路 1 2 から出力された f_c [Hz] の信号は分周器 1 3 により DDS 回路が動作可能な周波数 f_{clk} [Hz] に分周される。分周された信号は DDS 回路 1 4 に入力される。DDS 回路 1 4 に設定される $\Delta\theta$ により f_{dds}

[Hz] の周波数が出力され、周波数変換器 1 5 にて周波数混合されるので、周波数変換器 1 5 からの出力周波数は、 f_{out} [Hz] = $f_c \pm f_{dds}$ となり BPF 1 6 により $f_c - f_{dds}$ 成分が除去されたのち、 $f_c + f_{dds}$ [Hz] の信号が出力される。なお、変調信号のキャリアが DDS 回路 1 4 の動作クロックの範囲内であれば、分周器 1 3 は省略することができる。

【0018】図 2 は、本発明の他の実施形態の周波数発生回路で、周波数混合を直交変調器 2 1 に置き換えたものを示す。基準発振器 1 1 から PLL 回路 1 2 に f_{ref} [Hz] の周波数が入力される。この基準クロックに PLL 同期された周波数 f_c [Hz] が直交変調器 2 1 に入力される。一方、PLL 回路 1 2 から出力された f_c [Hz] の信号は分周器 1 3 により DDS 回路 1 4 が動作可能な周波数 f_{clk} [Hz] に分周される。分周された信号は DDS 回路 1 4 に入力される。DDS 回路 1 4 に設定される $\Delta\theta$ により DDS 回路 1 4 からは互いに直交している正弦波 $\cos(2\pi \cdot f_{dds} \cdot t)$ と余弦波 $\sin(2\pi \cdot f_{dds} \cdot t)$ の信号が直交変調器 2 1 の乗算器 2 2、2 3 に入力される。PLL 回路 1 2 から入力される f_c [Hz] は直交変調器内部の 90° 位相器 2 5 により、 $\cos(2\pi \cdot f_c \cdot t)$ と $\sin(2\pi \cdot f_c \cdot t)$ に分配されて、乗算器 2 2、2 3 に入力される。乗算器 2 2、2 3 では、これらの信号を各々乗算した後、加算器 2 4 で加算することで数 3 となり、

【0019】

【数 3】

使用していたイメージ除去用の BPF を省略することができるので、ハードウェアの構成をより簡略化すること

ができる。

【0021】図3は、本発明の応用による複数の周波数発生回路の構成例を示す。図示した構成によれば、図1の構成の各周波数発生回路1～nに基準発振器11が発生する f_{ref} [Hz]を並列に入力させる。この f_{ref} を基準にしてすべての周波数発生回路のDDS回路14、PLL回路12が同期して動作するので、周波数発生回路1～nの間でのコヒーレント性が保たれ、それぞれのDDS回路により高精度な周波数を発生することが可能となる。

【0022】

【発明の効果】以上詳細に説明したように、本発明に係る周波数発生回路によると、周波数の切替はDDSによる開ループ構成で行うので極めて高速である。また、選倍回路を用いないので、ハードウェア規模を縮小できる。

【図面の簡単な説明】

【図1】本発明の一実施形態の周波数発生回路のブロッ

ク図である。

【図2】本発明の他の実施形態の周波数発生回路のブロック図である。

【図3】本発明の応用による実施形態の周波数発生回路のブロック図である。

【図4】DDSの基本構成を示すブロック図である。

【図5】従来の周波数発生回路の構成を示すブロック図である。

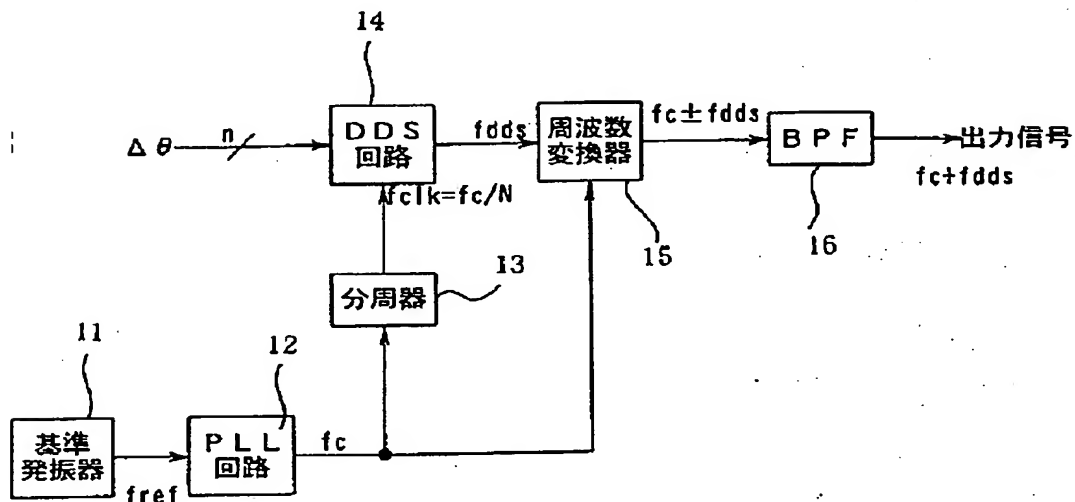
【図6】従来の周波数発生回路の構成を示すブロック図である。

【符号の説明】

1、2、3…n…周波数発生回路、11…基準発振器、12…PLL回路、13…分周器、14…DDS回路、15…周波数変換器、16…BPF、27…基準発振器、28…PLL回路、29…分周器、30…DDS回路、21…直交変調器、22、23…乗算器、24…加算器、25…90°位相器。

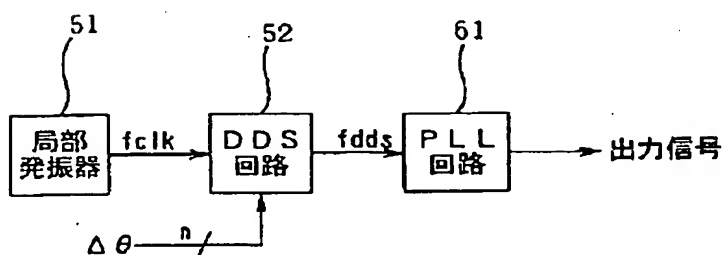
【図1】

【図1】



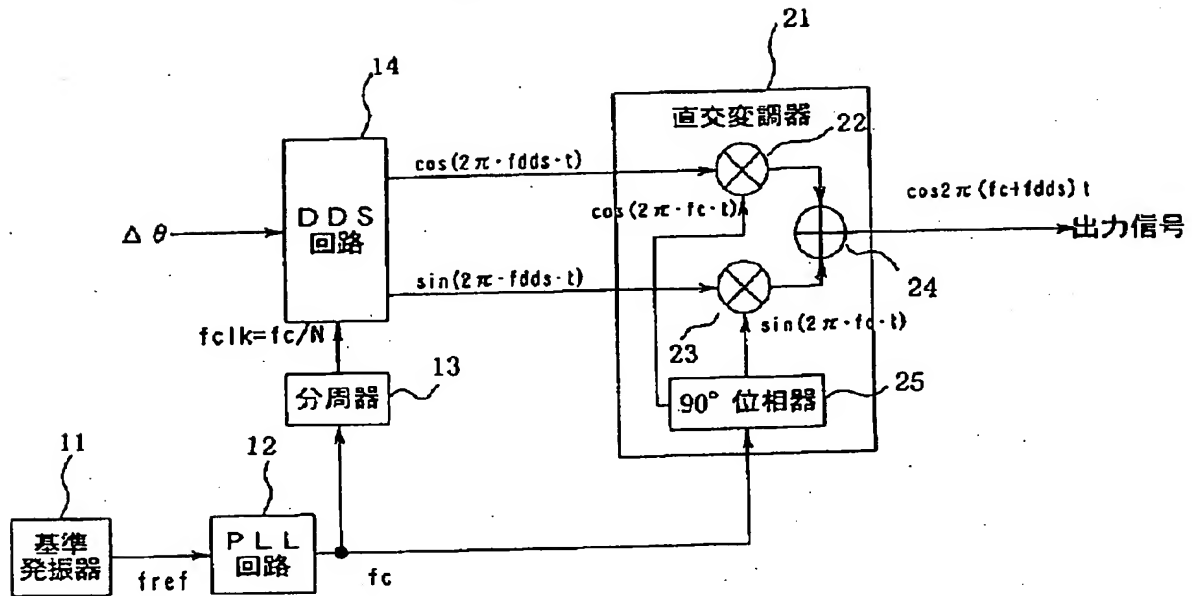
【図6】

【図6】



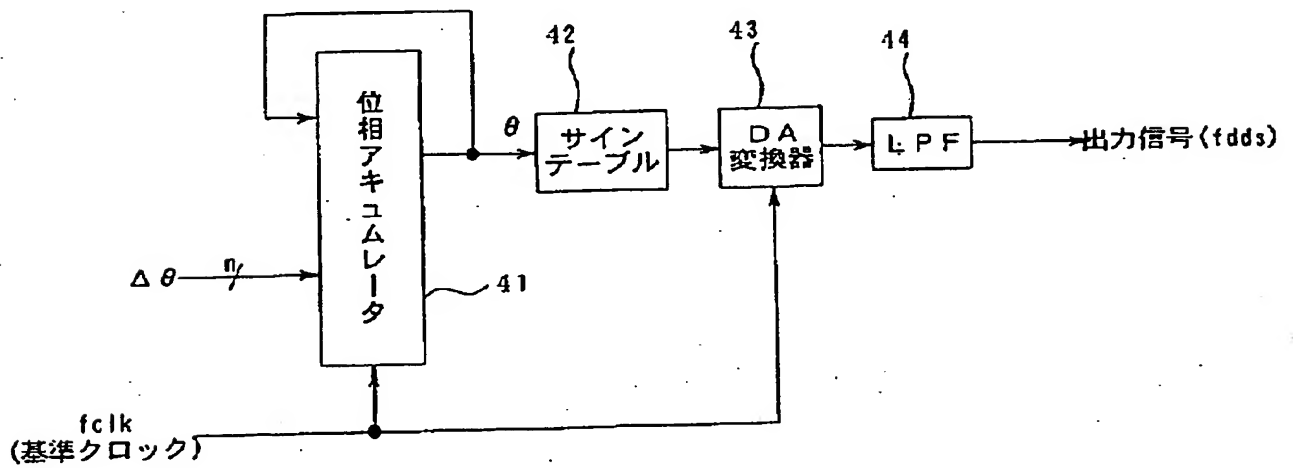
【図 2】

【図 2】



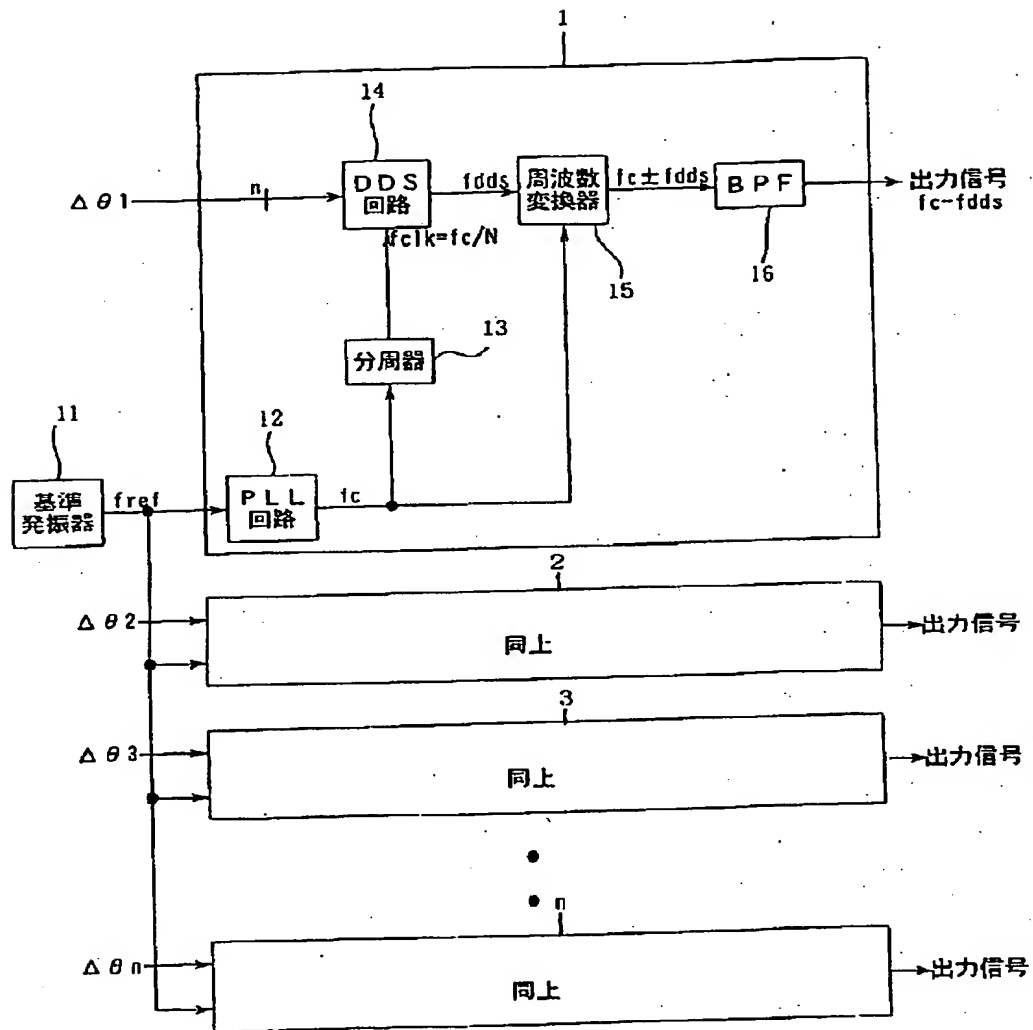
【図 4】

【図 4】



【図 3】

【図 3】



【図 5】

【図 5】

